

⑫ 公開特許公報(A)

昭60-161641

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)8月23日

H 01 L 23/12
21/88
31/107357-5F
6708-5F
6666-5F

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 回路パッケージとその製造方法

⑮ 特 願 昭60-3920

⑯ 出 願 昭60(1985)1月12日

優先権主張 ⑰ 1984年1月13日 ⑱ イギリス(GB) ⑲ 8400954

⑳ 発 明 者 ジョン スチュアート イギリス国 エセックス ハーロー チャーチゲートスト
ヒークス リート スタッフオーズ 6番地㉑ 発 明 者 ジョセブ・マン イギリス国 エセックス ハーロー オールド ロード
204エー番地㉒ 出 願 人 スタンダード テレフ イギリス国 ロンドン ダブリューシー2 アール1デイ
オンズ アンド ケー
ブルスパブリック リ

ミテッド カンパニー

㉓ 代 理 人 弁理士 伊東 忠彦

最終頁に続く

明 細 書

1. 発明の名称

回路パッケージとその製造方法

2. 特許請求の範囲

(1) 板状の担体と、該担体上に配置された複数の半導体装置と、該装置を被覆し平坦面をなす一層ないしそれ以上の絶縁体の層と、該面上に設けられ該装置間を結線する一層ないしそれ以上の金属蒸着被膜層を含む回路アセンブリ。

(2) 該担体は電気伝導性である特許請求の範囲第1項記載の回路アセンブリ。

(3) 該装置はガリウム ヒ素集積回路である特許請求の範囲第1項記載の回路アセンブリ。

(4) 該担体は光学的に透明である特許請求の範囲第1項記載の回路アセンブリ。

(5) フォトダイオード／増幅器のハイブリッド構成を含む特許請求の範囲第4項記載の回路アセンブリ。

(6) ガリウム インジウム ヒ素 フォトダイオードを含む特許請求の範囲第5項記載の回路

アセンブリ。

(7) ガリウム ヒ素 MESFET増幅器又はシリコン バイポーラ増幅器を含む特許請求の範囲第6項記載の回路アセンブリ。

(8) 該絶縁体はポリイミドである特許請求の範囲第7項記載の回路アセンブリ。

(9) 該担体上へ固定された複数の素子を絶縁体により実質的に表面が平坦になるように被覆し、一層ないしそれ以上の金属蒸着結線パターン層を該絶縁体上に施し、さらに該結線パターン層と該素子との接続を付与する構成を含む、同一の担体上へ複数の回路素子を装着する方法。

(10) 金属蒸着層は2層である特許請求の範囲第9項記載の方法。

(11) 絶縁体層は下部層及び上部層を含み、下部層は窓を有し該素子が該窓位置にて担体に設置される構成のアセンブリを提供する特許請求の範囲第9項記載の方法。

(12) 該アセンブリは共面伝送線へと入力端を接続されたパッケージ内に設置される特許請求

の範囲第11項記載の方法。

(13) 各入力端がそれぞれ抵抗器で終結している特許請求範囲第12項記載の方法。

(14) 特許請求の範囲第9項に記載の方法で構成された回路アセンブリ。

(15) 特許請求の範囲第1項に記載された回路アセンブリを組み込んだ光伝送システム。

3. 発明の詳細な説明

産業上の利用分野

本発明は集積回路及びハイブリッド集積回路のパッケージングに関する。

従来の技術

ガリウム ヒ素で代表される高速度集積回路は現在開発途上でありパイロット製造ラインでプロトタイプチップがある程度の量生産されている。回路チップの全能力を引き出すことは工業的に生産された標準的なパッケージが入手できないことから困難である。小さな高周波パッケージがそここのマイクロ波装置で使われているがそれらのパッケージは複雑なデジタルあるいはリニア回路

覆されている。キャリアは金属など導体でもまたセラミツクなどの絶縁体でも良いが、該キャリア上に支持される半導体素子と熱的に整合するものが有利である。いくつかの用途例えばフォトダイオード／増幅器アセンブリなどではキャリア11は透明で素子下方から光照射できるようにもなっている。このような構成は光伝送システムに利用できよう。

層12は窒化珪素の薄い層13で被覆され次にフォトレジスト14で選択的にマスクされる。該アセンブリは例えば2段階の反性性イオンエッチングプロセスなどでマスクの上からエッチングされ、層12上に窓15(第2図)が形成される。該窓15各々にはガリウム ヒ素集積回路に代表される半導体あるいは他の素子16が設置される。さらに例えばポリイミドなどの平面化層17(第3図)が付着せしめられ以後の加工のために実質的に平坦な表面を与える。

次に層17に開口部18がエッチングにより形成され、素子16の端子部を露出させる。

には全く不適當である。複数のピンを有するLSIパッケージは数多くあるがそれらは非常に高周波で使用するには適していない。

発明が解決しようとする問題点

本発明の目的はこれらの困難を最小化ないし克服することにある。

問題点を解決するための手段

本発明は板状の担体と、この担体上へ配置された複数の半導体素子と、該素子を被覆し平坦面を与える一層ないしそれ以上の絶縁体の層と、該平面上へ設けられ該素子間を結線する一層ないしそれ以上の金属蒸着被膜層を含む回路アセンブリを提供する。

実施例

本発明の実施例につき回路アセンブリを製造する一連の工程を示した第1図から第4図を参照しながら説明する。

図示の如く、回路アセンブリはキャリア(担体)11(第1図)上に配置され、該キャリアの表面は例えばポリイミドなど絶縁体の厚い層12で被

次に最初の金属蒸着被膜層ないし結線層19が真空蒸着などで付与された適当なマスクの上から形成せしめられる。その上にさらにポリイミド層20(第4図)を付与し続いて第2の金属蒸着被膜21による結線層をエッチング及び金属蒸着工程により追加形成することができる。この上部の金属蒸着パターン21はボンドパッド22を含み、該回路アセンブリを外へ接続できるようになっている。

ボンドパッド22にはリード線を取りつけることができ回路基板へフリップ取付けすることができよう。あるいはアセンブリは共面伝送線型式の入出力端子を有する多ピンセラミツクパッケージへ装着しても良い。インピーダンス不整合を最小にするため入力ピンに厚膜抵抗器を設けてもよい。

本方法は高周波ガリウム ヒ素回路への利用の他にフォトダイオード／増幅器のハイブリッド構成のパッケージングにも有効である。典型的なハイブリッド構成はGa In As フォトダイオードとGa As MESFET増幅器、あるいは

GaInAs フォトダイオードとシリコン バイポーラ増幅器、またはシリコン フォトダイオードとInGaAs 増幅器の組合せを含むが、これらに限定されるものではない。

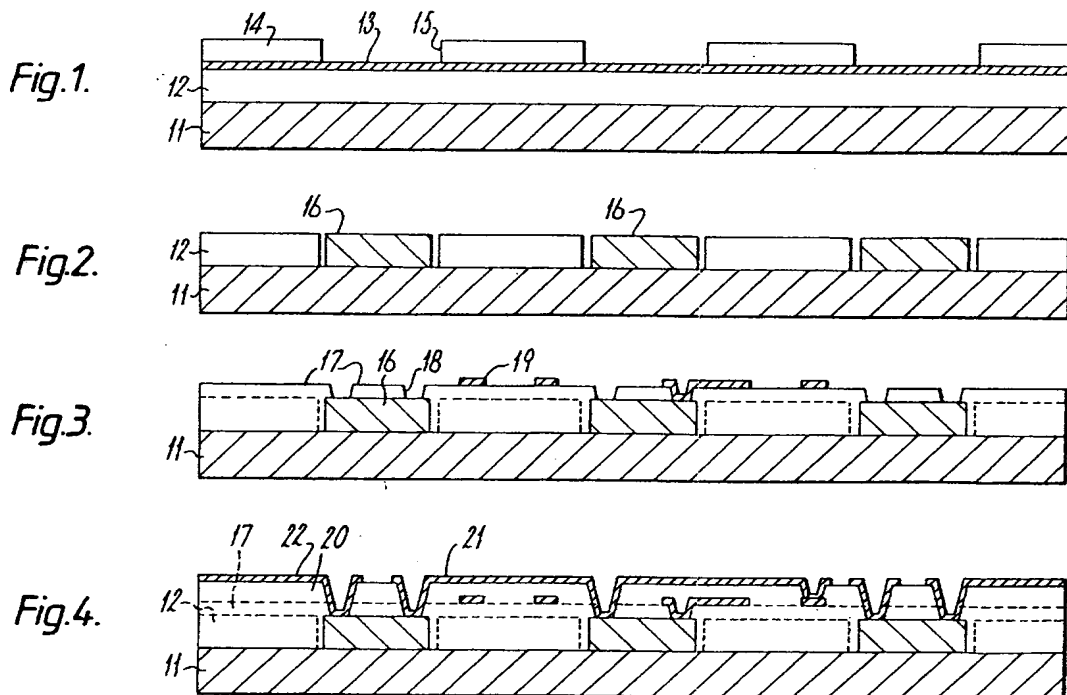
本回路構成は集積回路を対象として記述されたが他の能動および／あるいは受動素子も本方法により同一のキャリア上に結線され得ることは明らかであろう。

4. 図面の簡単な説明

第1図は窒化珪素被膜13とフォトレジスト14を施されたキャリア11及び絶縁体層12を示す図、第2図は第1図の構成をエッチング後、絶縁体層12に形成される窓に素子16を設置した状態を示す図、第3図は第2図の構成をさらに平面化層17で被覆後マスク及びエッチングを施し、その上に金属蒸着被膜19をマスクを用いて選択的に形成せしめた状態を示す図、第4図は第3図の構成にさらに絶縁体層20を付与した後エッチングと金属蒸着を施し第2の金属蒸着層21が形成された状態を示す図である。

11…キャリア、12…絶縁体、13…窒化珪素、14…フォトレジスト、15…窓、16…素子、17…平面化層、18…開口部、19…金属蒸着被膜、20…ポリイミド層、21…金属蒸着被膜、22…ボンドパッド。

特許出願人 スタンダード テレフオンズ
アンド ケーブルズ パブリック
リミテッド カンパニー
代理人 弁理士 伊 東 忠 彦



第1頁の続き

⑫発 明 者

リチャード ゴードン
プラム

イギリス国 ハーツ ソープリッジワース エルムウッド
2番地